

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08202310 A**

(43) Date of publication of application: **09.08.1996**

(51) Int. Cl. **G09G 3/20**

G09G 3/30, G09G 3/36

(21) Application number: **07031717**

(22) Date of filing: 25.01.1995

(71) Applicant: **DIGITAL:KK**

(72) Inventor: **MAEKAWA TOSHIYUKI**

(54) SCREEN DRIVING CIRCUIT

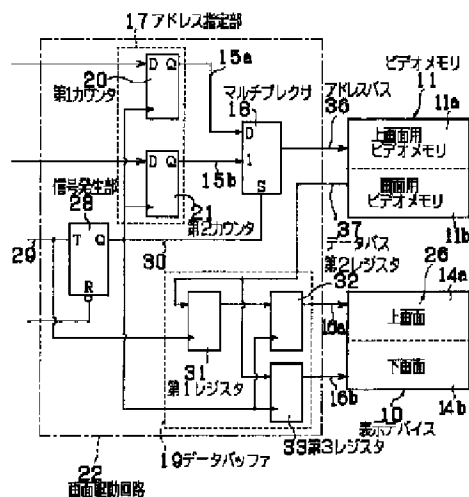
display device 10 at a stage in which one pair of data for both upper and lower screens are completed.

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To reduce a manufacturing cost by simplifying circuit constitution required for displays and to perform displays having quick response by suppressing data processing amounts to absolute minimums in the case of diving a display screen into two screens of upper and lower screens and of scanning both screen parallelly.

CONSTITUTION: Two counters 20, 21 are provided in this circuit in accordance with upper and lower screens 14a, 14b and also both counters 20, 21 hold addresses while updating addresses of video memories 11 corresponding to scanning positions on screens. The addresses are taken out selectively by a multiplexer 18 and data are read out from video memories 11 to a data buffer 19 and also the data are transmitted to a



(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20	W	4237-5H		
	R	4237-5H		
3/30	J	4237-5H		
3/36				

審査請求 未請求 請求項の数 3 F D (全 8 頁)

(21) 出願番号 特願平7-31717

(22) 出願日 平成7年(1995)1月25日

(71) 出願人 000134109

株式会社デジタル

大阪府大阪市住之江区南港東8丁目2番52号

(72) 発明者 前川 俊行

大阪府大阪市住之江区南港東8-2-52

株式会社デジタル内

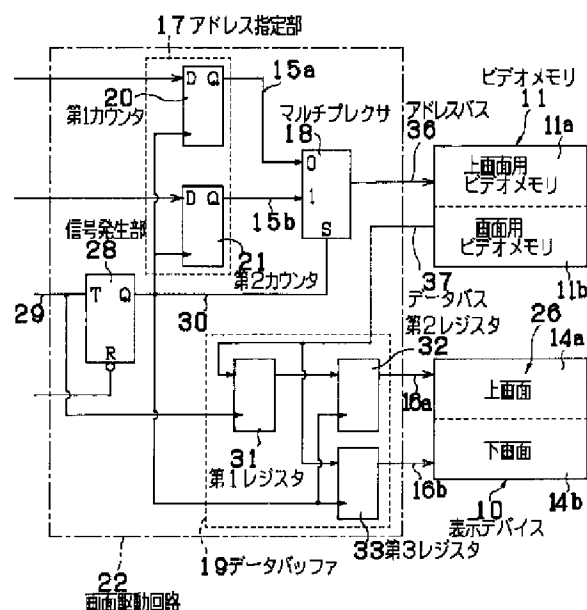
(74) 代理人 弁理士 高田 隆行

(54) 【発明の名称】 画面駆動回路

(57) 【要約】

【目的】 表示画面26を上下2つに分割し、両画面14a・14bを並行して走査させる場合において、表示に必要とする回路構成の簡略化が図られて製造コストの低減化を可能とするとともに、データ処理量を必要最小限に抑制し、レスポンスの高い表示を可能とする。

【構成】 上下画面14a・14bに対応して2つのカウンタ20・21を備えるとともに、両カウンタは画面上の走査位置に対応するビデオメモリ11のアドレスを更新しながら保持する。このアドレスはマルチプレクサ18で選択的に取り出され、ビデオメモリ11からデータバッファ19にデータが読み出されるとともに、上下画面用の1組のデータが揃った段階で、表示デバイス10に対してデータを送り出す。



【特許請求の範囲】

【請求項1】 表示すべき画像を格納するビデオメモリ（11）からデータ（16）を取り出し、表示デバイス（10）上に複数の画面（14）を同時に表示するための画面駆動回路であって、
表示デバイス（10）上に同時に表示可能とする画面数に対応した数だけあって、ビデオメモリ（11）におけるアドレス（15）を指定可能とするアドレス指定手段（12）と、
アドレス指定手段（12）から出力されるアドレス（15）で特定されるデータ（16）をビデオメモリ（11）から取り出して表示デバイス（10）に送る制御手段（13）とを備え、
上記アドレス指定手段（12）は、表示デバイス（10）における走査位置Aに対応するアドレス（15）を出力可能とするものであり、
上記制御手段（13）は、各アドレス指定手段（12）から出力されるアドレス（15）を択一的に切り換えながら、ビデオメモリ（11）から表示データ（16）を逐次読み出して表示デバイス（10）に送ることを特徴とする画面駆動回路。

【請求項2】 上記ビデオメモリ（11）は、表示可能とする各画面（14）毎に区分されており、
上記アドレス指定手段（12）は、ビデオメモリ（11）上の各区分に対応したアドレス（15）が個別に出力されるものであり、
上記制御手段（13）は、表示の優先順位が高い画面に対応するアドレスをビデオメモリ（11）に送ることを特徴とする請求項1記載の画面駆動回路。

【請求項3】 表示デバイス（10）の表示画面を上下に分割して2つの画面（14a）（14b）を構成するとともに、両画面（14a）（14b）を並行的に走査して画像表示を可能とする画面駆動回路であって、
ビデオメモリ（11）上における異なった2ヶ所のアドレス（15）を同時に指定可能とするアドレス指定部（17）と、
該アドレス指定部（17）から出力されるアドレス（15）を択一的に取り出すマルチプレクサ（18）と、
マルチプレクサ（18）から取り出されるアドレス（15）で特定されるデータ（16）を逐次にビデオメモリ（11）から読み出して一時的に保持するデータバッファ（19）とを備え、
上記アドレス指定部（17）は上および下画面（14a）（14b）に対応して第1および第2カウンタ（20）（21）を備え、ビデオメモリ（11）からデータ（16）を1つ読み出す毎に、その値を表示デバイス（10）上における走査位置Aに対応するアドレス（15）に更新可能とし、
上記データバッファ（19）は、第1および第2カウンタ（20）（21）が個別に指定するアドレスのデータ

を1組として読み出すまで保持することを特徴とする画面駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はLCDやELをはじめとする各種の表示デバイスにおける画面の駆動回路であって、特に表示画面を複数に分割し、その分割した画面を並行的に表示駆動させるものに関する。

【0002】

【従来の技術】 従来から、1台の表示デバイスにおける表示画面上に複数の画面を同時に表示させる要求は強い。例えば、LCDやELの様な表示デバイスでは、図5（b）の様に表示画面26を上下に2分割し、上下の画面14a・14bを並行して駆動することによって走査スピードを半分に落とし、画面のコントラストや明るさを増加させることが一般に行われている。

【0003】 この様な2画面駆動にあつては、従来は図5（a）のような走査を行う1画面駆動回路との整合性をとりながら上記した2画面駆動を行なわせるため、1フレーム分の画像データを記憶する画像メモリをパソコン側のビデオメモリとは別に備え、その画像メモリに対するデータの更新をしながら、画像メモリ中の必要なデータを順次読み出して、2画面駆動用の画像データとして利用するものが一般的である。

【0004】 一方、画面一杯に表示したベース画面14c上に、図7（a）の様にそれより小さい複数のサブ画面14dを重畳して表示させることも行われる。かかる表示時にあつては、表示用のビデオフレームを1つ持ち、各サブ画面14d毎に備えたフレームから必要な表示データを前記した表示用のビデオフレームに転送して画面構成をしたあと、そのフレームのデータを表示デバイス10に送って画像表示することが行われている。

【0005】

【発明が解決しようとする課題】 しかしながら、上記した2画面駆動の方法にあつては、従来からあるビデオメモリとは別に画像メモリを備える必要があるとともに、信号の変換を必要とするために回路構成が複雑になり、装置全体としてのコストアップにつながる。

【0006】 一方、上記した画面を重畳する方法にあつては、表示用ビデオフレームに対するデータの転送を必要とするため、重畳すべき画面数が増加するとデータ処理量が増加してデータ更新が遅れ、表示内容の変更に的確に対応した表示が行えない不都合があった。

【0007】 本発明は上記した複数画面の同時駆動に伴う不都合を一挙に解消するものであつて、同時に駆動すべき画面数に対応した個数のアドレス指定用レジスタを備え、そのレジスタから出力されるアドレスを択一的に切り換え、ビデオメモリから取り出したデータを直接的に表示デバイスに送って表示させることにより、表示に必要とする回路構成あるいはデータ処理量を必要最小限

に抑制可能とする画面駆動回路を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明にかかる画面駆動回路22は、図1にその全体的な構成を概略的に示す如く、表示すべき画像を格納するビデオメモリ11からデータ16を取り出し、表示デバイス10上に複数の画面14を同時に表示するためのものである。ここで、表示デバイス10上に同時に表示可能とする画面数に対応した数だけあって、ビデオメモリ11中におけるアドレス15を指定可能とするアドレス指定手段12と、アドレス指定手段12から出力されるアドレス15で特定されるデータ16をビデオメモリ11から取り出して表示デバイス10に送る制御手段13とを備えている。

【0009】更に上記アドレス指定手段12は、表示デバイス10における走査位置Aに対応するアドレス15を出力可能とするものであり、上記制御手段13は、各アドレス指定手段12から出力されるアドレス15を択一的に切り換えながら、ビデオメモリ11から表示データ16を逐次に取り出して表示デバイス10に送ることを特徴とする。

【0010】なお、上記ビデオメモリ11を表示可能とする各画面14毎に区分し、上記アドレス指定手段12を、ビデオメモリ11上の各区分に対応したアドレス15が個別に出力されるものとするとともに、上記制御手段13が、表示の優先順位が高い画面14に対応するアドレス15をビデオメモリ11に送る様に構成することができる。

【0011】本発明にかかる画面駆動回路22が、図3の如く、表示デバイス10の表示画面26を上下に分割して2つの画面14a・14bを構成するとともに、両画面14a・14bを図5(b)の様に並行的に走査して画像表示を可能とするものである場合、ビデオメモリ11上における異なった2ヶ所のアドレス15a・15bを同時に指定可能とするアドレス指定部17と、該アドレス指定部17から出力されるアドレス15を択一的に取り出すマルチプレクサ18と、マルチプレクサ18から取り出されるアドレス15で指定されるデータ16を逐次にビデオメモリ11から読み出して一時的に保持するデータバッファ19とを備える。

【0012】更に上記アドレス指定部17は上および下画面14a・14bに対応して第1および第2カウンタ20・21を備え、ビデオメモリ11からデータ16を1つ読み出す毎に、その値を表示デバイス10上における走査位置Aに対応するアドレス15に更新可能とし、上記データバッファ19は、第1および第2カウンタ20・21が指定するアドレス15a・15bのデータ16a・16bを1組として読み出すまで保持することが好ましい。

【0013】

【作用】表示デバイス10は、その表示画面26上の水平および垂直方向に周期的に走査して、所定の画像表示を行う。ここで、表示画面26上に複数の画面14を重ねさせて表示する場合、重ねさせるべき画面数に一致した数のアドレス指定手段12が各画面14に対応させて指定される。更に各アドレス指定手段12では、表示画面26上の現在の走査位置Aに対応した各画面14毎のアドレス15が保持されている。

【0014】ここで制御手段13では、複数の画面14を重ねさせる場合における表示の優先順位が予め設定されており、複数のアドレス15の中から優先順位が最も高いアドレスを択一的に取り出してビデオメモリ11に送り、対応するデータ16を読み出して表示デバイス10に送ることにより、ビデオメモリ11の現在内容の変化に即応した表示がなされるのである。

【0015】

【発明の効果】本発明は上記の如く、同時に表示すべき画面数に対応した数のアドレス指定手段12を備え、画面14上の走査位置Aの変化に対応させてアドレス15を更新させるとともに、ビデオメモリ11に送るアドレス15を択一的に選択する様に構成したので、複数画面14の表示が表示専用のビデオメモリを使用した全体的な画面の再構成を必要とすることなく直接的に行え、表示に必要とする回路構成の簡略化が図られて製造コストの低減化が可能となるとともに、データ処理量を必要最小限に抑制でき、レスポンスの高い表示が行える。

【0016】

【実施例】図2～図6は、本発明にかかる画面駆動回路を2画面の駆動回路に実施した一例を示すものであって、図2にその概略的な構成を示す如く、アドレスあるいはデータなどの各種バスライン23を介して、CPU24、汎用のメモリ25あるいはビデオメモリ11等の各種デバイスと接続される一方、その出力信号を表示デバイス10に入力している。

【0017】ビデオメモリ11は図4に例示する如く、表示デバイス10における表示画面26上の各ドット毎の画像データを少なくとも1フレーム分、表示画面26上の表示座標に対応させて格納可能としたものであって、該ビデオメモリ11上のアドレスを指定して読出信号あるいは書込信号を印加することにより、任意の番地のデータにアクセスできる様にしている。

【0018】表示デバイス10は、本実施例にあってはLCDあるいはELの様な単階調のものが使用され、更に図5に例示する如く、その表示画面26の解像度を縦480ドット、横640ドットで、各ドットを1ビットで表現した場合を例示している。従って図4に示すビデオメモリ11には少なくとも480×640ビット分のメモリ容量を備え、データバスのバス幅（本実施例では4ビット）に対応したビット数のデータが一度に読み書きされる。

【0019】更に表示デバイス10の表示画面は、図5(b)に示す如く、240行目と241行目との間で上画面14aと下画面14bとに2つに分割され、両画面14a・14bが同時に並行して走査される様に構成されている。すなわち、上記した上画面14aにおける座標(1・1)～(1・4)の走査中は、下画面14bにおける対応する座標(241・1)～(241・4)が走査される。

【0020】画面駆動回路22は、図3にその具体的な構成を示す様に、制御信号の発生部28と、ビデオメモリ11上のアドレスを発生するアドレス指定部17と、アドレス指定部17から出力されるアドレスを択一的に取り出してビデオメモリ11の送るマルチプレクサ18と、ビデオメモリ11から取り出したデータを一時記憶するデータバッファ19とから構成される。

【0021】制御信号発生部28はトリガタイプのフリップフロップであって、図6に示す様に、パルス状のタイミング信号29が1つ入力される毎にその出力レベルが反転し、矩形波状の制御信号30を作成する。

【0022】アドレス指定部17は、第1および第2のカウント20・21を備え、ビデオメモリ11中における上画面14aと下画面14bに対応する部分のアドレス15a・15bを個別に指定できる様にしている。すなわち、第1カウンタ20には予め初期値として上画面14aの座標(1・1)～(1・4)に対応するアドレス15aが、第2カウンタ21には初期値として下画面14bの座標(241・1)～(241・4)に対応するアドレス15bがセットされる。更に、上記した制御信号30の入力と連動してそのカウント値は設定値ずつ上昇し、第1カウンタ20は(240・637)～(240・640)の座標に対応するアドレスに、第2カウンタ21は(480・637)～(480・640)の座標に対応するアドレスに達すると、前記した初期値に戻る様に構成している。

【0023】マルチプレクサ18は、S端子に入力される制御信号30のレベル変化に対応して、入力側から取り込まれた2種類のデータを択一的に取り出し可能とするものである。本実施例にあっては、入力側を第1および第2カウンタ20・21の出力側と接続し、出力側端をビデオメモリ11のアドレスバス36に接続することにより、第1または第2カウンタ20・21で指定するアドレス15a・15bを択一的にアドレスバス36へ取り出せる様にしている。

【0024】データバッファ19は、3つのDタイプのレジスタ31・32・33から構成され、第1および第2レジスタ31・32を直列に接続する一方、第1および第3レジスタ31・33をデータバス37に対して並列に接続している。更に、第1レジスタ31をタイミング信号29で駆動する一方、第2および第3レジスタ32・33を制御信号30で駆動する様に構成している。

【0025】以下図6に示す説明図に基づき、図3の回路動作について更に詳細に説明する。図6(a)の様に、2つの垂直同期信号34の間に複数の水平同期信号35を備え、各垂直同期信号34間に、上画面14aに対しては1～240ラインのデータ16aを、下画面14bに対しては241～480ラインの表示データ16bを水平同期信号35で同期を取りながら並行して送ることにより、上画面14aと下画面14bを同時に走査する。

【0026】図6(b)は、第1および第241ライン目を走査中におけるビデオメモリ11からのデータ16の読み出しタイミングを例示するが、他のラインについてはこれと略同様なので省略している。

【0027】ここで時刻t1において、第1カウンタ20は座標(1・1)を、第2カウンタ21は座標(241・1)に対応するアドレスを保持しており、更に制御信号30は「L」レベルなので、マルチプレクサ18は第1カウンタ20のアドレス15aをビデオメモリ11に指定している。

【0028】この時、タイミング信号29が入力されるのと連動して、第1レジスタ31には座標(1・1)～(1・4)のデータ16aが読み込まれる。更にこのタイミング信号29の入力に伴って、時刻t2には制御信号30は「H」レベルに変化する。すると、マルチプレクサ18の出力は第2カウンタ21側に切り替わって座標(241・1)に対応するアドレス15bがビデオメモリ11に送られるのと同時に、第2および第3レジスタ32・33が同時にデータ16を読み込む。この時、第2レジスタ32は第1レジスタ31の保持値である座標(1・1)～(1・4)のデータ16aであるのに対し、第3レジスタ33はビデオメモリ11のデータバス37につながれているために座標(241・1)～(241・4)に対応するデータ16bが取り込まれ、上画面用および下画面用のデータ16a・16bが1組として表示デバイス10に対して同時に送られる。

【0029】更に制御信号30の立ち下がり時期t3において第1および第2カウンタ20・21の値は各々更新され、次の読出位置にセットされたアドレス15により、時刻t4から上記した動作を繰り返すことにより、次の1ライン分のデータ16が表示デバイス10に対して送られるのである。

【0030】なお上記した実施例においては、簡単のために画像を2値表示する例を示したが、複数段階あるいはカラー表示する場合においても略同様に実施できることは勿論である。また表示デバイス10として2種類のデータ16a・16bを同時に送る必要があるものを使用したためにデータバッファ19を設けたが、データ16を逐次的に送ることが可能な場合は、データバッファ19を取り除くことができる。その他、複数のアドレス15を択一的に指定することができるものであれば、カ

ウンタに代えてアドレス指定手段12は適宜変更して実施出来ることは勿論である。

【0031】図7は本発明を、複数画面14の重畳表示を可能とする画面駆動回路に実施した一例を示すものであって、画面全体に表示されるベース画面14c上の座標位置($X1 \cdot Y1$)を左上隅として、横幅が $X2$ 、縦幅が $Y2$ の大きさのサブ画面14dを重畳表示させる。このとき、ベース画面14c用のビデオメモリ11とは別に、図7(b)の様にサブ画面14d用のビデオメモリ11dを備え、そのビデオメモリ11d上にサブ画面14dに表示すべき画像データ16を書き込む様に構成している。

【0032】更に、ベース画面14c用のビデオメモリ11における走査位置を指示するアドレス指定手段12に加え、サブ画面14d用のビデオメモリ11dにおける対応する走査位置を指示するアドレス指定手段12を設けている。本実施例にあっては、図7(b)において一点鎖線で示す表示範囲の左上隅のアドレスをM1とすると、表示画面26上の座標位置A($X1 \cdot Y1$)の走査時にアドレスM1が指示され、更に座標位置A'($X1 + X2 \cdot Y1 + Y2$)を走査時にM2のアドレスが指示される様に、走査座標の変化に連動させてアドレス指定手段12の値を変化させる。

【0033】ここで、2つのアドレス指定手段12からの出力を択一的に切り換える制御手段13の出力を、サブ画面14dのビデオメモリ11d上における表示範囲に入ったか否かにより切り換えることにより、各ビデオメモリ11dから画像データ16が表示デバイス10に対して直接的に送られるのである。

【0034】なお、サブ画面14dが複数ある場合は、各サブ画面毎に備えたビデオメモリに対して1つずつアドレス指定手段12を備えるとともに、各サブ画面の表示上の優先度を予め設定しておき、同時に2つ以上のサブ画面の表示範囲に入った場合には、優先度の高いサブ画面のアドレス指定手段12が制御手段13により選択される。

【図面の簡単な説明】

【図1】本発明の基本的な構成を示す概略図である。

【図2】本発明を2画面の駆動回路に実施した一例を示す概略図である。

【図3】画面駆動回路の具体的な構成を示すブロック図である。

【図4】ビデオメモリのアドレスと表示画面の座標位置の関係を示す説明図である。

【図5】表示画面の走査手順を示す説明図であって、(a)は1画面用の走査手順を、(b)は2画面用の走査手順を各々示す。

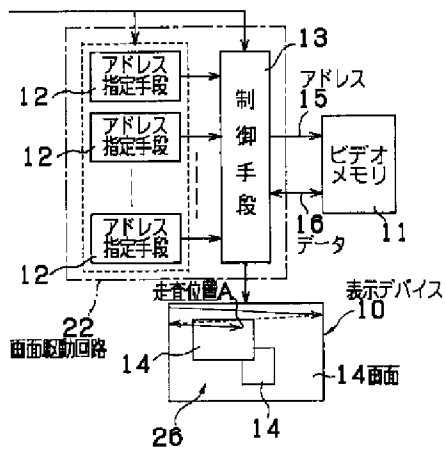
【図6】画面駆動回路における各種信号の関係を示すタイミング図であって、(a)は1フレーム分の信号の関係、(b)は1走査ライン分の各種信号の関係を各々示す。

【図7】本発明をウインドウ表示画面に実施した一例を示す説明図であって、(a)は表示画面上における各画面の位置関係を、(b)はサブ画面用のビデオメモリと表示位置の関係を各々示す。

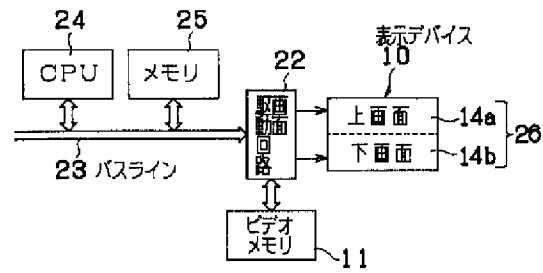
【符号の説明】

- 10 表示デバイス
- 11 ビデオメモリ
- 12 アドレス指定手段
- 13 制御手段
- 14 画面
- 15 アドレス
- 16 データ
- 17 アドレス指定部
- 18 マルチプレクサ
- 19 データバッファ
- 20 第1カウンタ
- 21 第2カウンタ
- 22 画面駆動回路
- 23 パスライン
- 24 CPU
- 25 メモリ
- 26 表示画面
- 28 制御信号発生部
- 29 タイミング信号
- 30 制御信号
- 31 第1レジスタ
- 32 第2レジスタ
- 33 第3レジスタ
- 34 垂直同期信号
- 35 水平同期信号
- 36 アドレスバス
- 37 データバス

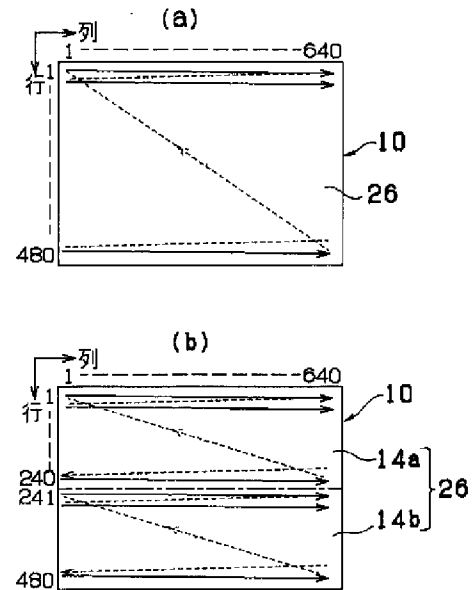
【図1】



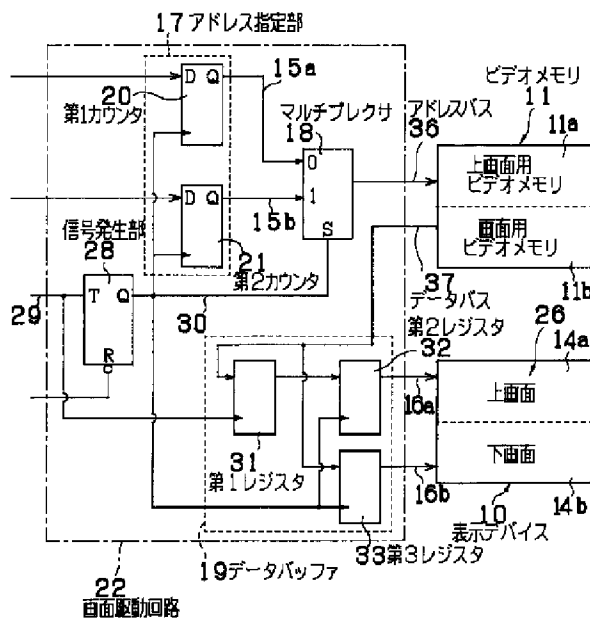
【図2】



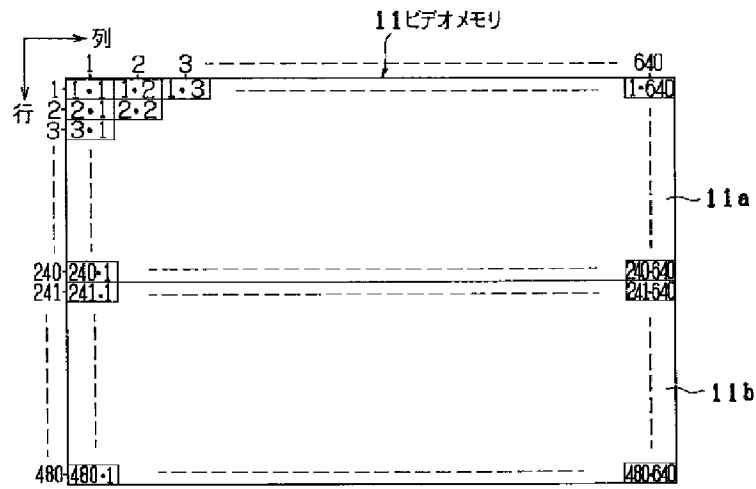
【図5】



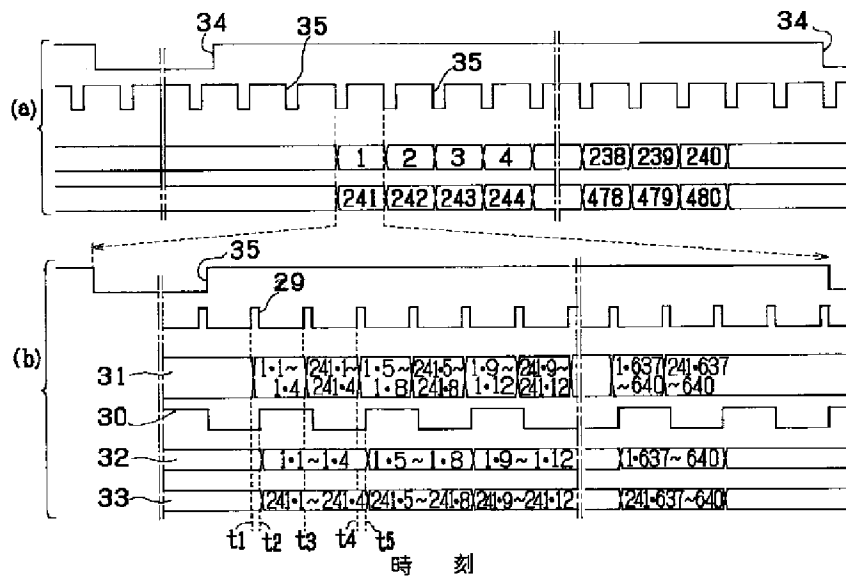
【図3】



【図4】



【図6】



【図 7】

